

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-056374

(43)Date of publication of application : 05.03.1993

(51)Int.Cl.

H04N 5/66

G02F 1/133

G09G 3/36

(21)Application number : 03-242727

(71)Applicant : SHARP CORP

(22)Date of filing : 27.08.1991

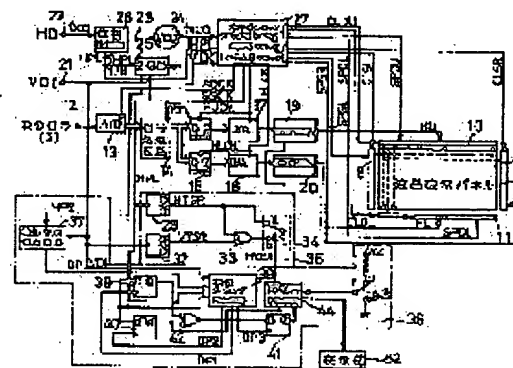
(72)Inventor : YASUDA HIDEYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To surely perform an AC drive of a liquid crystal display panel by a video signal to be supplied in the liquid crystal display panel by always inverting the polarity of the video signal every horizontal cycle and field regardless of a scanning system, standard or non-standard signals.

CONSTITUTION: An inversion signal generation circuit 35 outputting output signals HTGR, HVEX from a horizontal binary counter 28 or an exclusive OR circuit 33 as inversion signals for inverting the polarity of video signals to be supplied to a liquid crystal display panel 1 is provided. A detection circuit 36 detecting whether the number of horizontal scanning line within one field of the video signal is even for two fields or not is provided. The detection circuit 36 controls which of the output signals HTGR or HVEX is outputted as the inversion signal from the inversion signal generation circuit 35.



LEGAL STATUS

[Date of request for examination]

14.07.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3167369

[Date of registration]

09.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-56374

(43)公開日 平成5年(1993)3月5日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|---------|---------|-----|--------|
| H 0 4 N 5/66 | 1 0 2 B | 7205-5C | | |
| G 0 2 F 1/133 | 5 0 5 | 7820-2K | | |
| G 0 9 G 3/36 | | 7926-5G | | |

審査請求 未請求 請求項の数7(全 18 頁)

(21)出願番号 特願平3-242727

(22)出願日 平成3年(1991)8月27日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 安田 秀幸

大阪市阿倍野区長池町22番22号 シャープ株式会社内

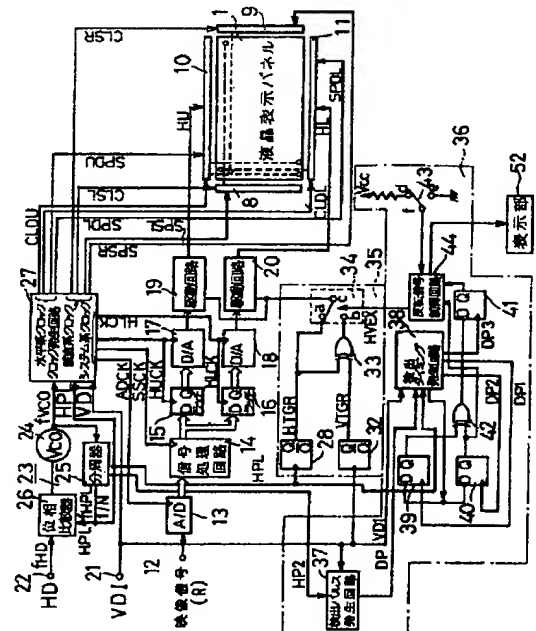
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】液晶表示パネルに供給される映像信号の極性を、走査方式や標準、非標準信号に拘らず水平周期及びフィールド毎に必ず反転させ、液晶表示パネルを映像信号にて確実に交流駆動する。

【構成】液晶表示パネル1に供給される映像信号の極性を反転させるために、水平2進カウンタ28或いは排他的OR回路33からの出力信号HTGR、HVEXを反転信号として出力する反転信号発生回路35を設ける。そして、映像信号の1フィールド内での水平走査線数が2フィールドにわたって偶数であるか否かを検知する検知回路36を設けて、反転信号発生回路35から何れの出力信号HTGR或いはHVEXが反転信号として出力されるかを検知回路36で制御する。



【特許請求の範囲】

【請求項1】液晶表示パネルを映像信号にて交流駆動する液晶表示装置において、液晶表示パネルに供給される映像信号の極性を反転させるための反転信号を複数種類有する反転手段を設けたことを特徴とする液晶表示装置。

【請求項2】前記反転手段は、液晶表示パネルに供給される映像信号を反転信号に基づいて駆動に必要なレベルまで反転、非反転増幅する駆動回路と、この駆動回路に供給する反転信号を複数種類生成する反転信号発生回路とを含んでいることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記反転信号発生回路は、映像信号の水平同期信号に位相同期した位相同期回路の分周出力信号をトグルカウントする水平2進カウンタと、映像信号の垂直同期信号から生成され水平同期信号に位相同期した垂直基準信号をトグルカウントする垂直2進カウンタと、この垂直2進カウンタの出力信号と水平2進カウンタの出力信号との排他的論理和をとる排他的OR回路と、水平2進カウンタ或いは排他的OR回路からの出力信号を反転信号として出力する反転切換回路とを含んでいることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】映像信号の1フィールド内での水平走査線数が2フィールドにわたって偶数であるか否かを検知する検知回路を設け、前記反転切換回路から何れの出力信号が反転信号として出力されるかを検知回路で制御することを特徴とする請求項3に記載の液晶表示装置。

【請求項5】前記検知回路は、映像信号の1フィールド内での分周出力信号をカウントするカウンタと、このカウンタのフィールド毎の最終カウント値を2フィールドにわたって判定する制御回路とを含んでいることを特徴とする請求項4に記載の液晶表示装置。

【請求項6】前記反転切換回路から出力される反転信号の極性が1フィールド或いは2フィールド毎に反転しているか否かを検知する検知回路を設け、前記反転切換回路から何れの出力信号が反転信号として出力されるかを検知回路で制御することを特徴とする請求項3に記載の液晶表示装置。

【請求項7】前記検知回路は、反転信号の極性を1フィールド或いは2フィールド毎に検出するための検出パルス信号を生成する検出タイミング発生回路と、検出した反転信号の極性からその反転性を判定する制御回路とを含んでいることを特徴とする請求項6に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示パネルを映像信号にて交流駆動する液晶表示装置に関するものである。

【0002】

【従来の技術】従来、例えば赤色、緑色、青色用の各液晶表示パネルで変調された赤色、緑色、青色光を合成してスクリーン上に拡大投射することでカラー映像を再現する液晶表示装置（液晶プロジェクター）は図15に示すような回路構成になっており（ここでは、説明の都合上赤色用の液晶表示パネルについてのみ示す）、1は水平、垂直方向に複数の画素がマトリクス状に配列されたTFTアクティブマトリクス方式の液晶表示パネルで、該液晶表示パネル1は入射された赤色光を映像信号（この場合、三原色信号中の赤色信号）に応じて変調するライトバルブとして働くようになっている。具体的に、この液晶表示パネル1は第1の絶縁基板（図示せず）側に複数の信号電極2、走査電極3、TFT4並びに画素電極5をマトリクス状に形成すると共に（図16参照）、第2の絶縁基板（図示せず）側に共通電極6を形成し、共通電極6と各画素電極5との間に介在する液晶層とで構成される各画素による表示を、各信号電極2と走査電極3とによる線順次走査によって行わせるようにしている。ここで、7は各画素と並列に設けられた補助容量で、各TFT4はそのソースが信号電極2側に、ドレインが画素電極5側に、またゲートが走査電極3側に夫々接続されており、例えば1行目の走査電極3に走査電圧が印加されると、それに接続された1行目の各TFT4が夫々導通状態となって1行目の各画素電極5に各信号電極2が夫々接続され、1行目の各画素に信号電圧（即ち、映像信号）が夫々印加されることになる。従って、このような印加動作を1行目から順次各行毎に水平周期で繰り返すことで液晶表示パネル1にて1フィールド分の映像信号を表示することが出来、更にこの印加動作をフィールド毎に、即ち垂直周期で繰り返すことにより、映像が再現されることになる。

【0003】8、9並びに10、11は液晶表示パネル1の左右並びに上下に夫々配された左側、右側垂直走査用駆動回路並びに上側、下側水平走査用駆動回路で、左側、右側垂直走査用駆動回路8、9は各走査電極3に1行毎交互に走査電圧を印加し、上側、下側水平走査用駆動回路10、11は信号電極2に1列毎（1画素毎）交互に映像信号を印加するようになっている。具体的に、上側、下側水平走査用駆動回路10、11は水平系クロックであるサンプリングスタートクロックSPDU、SPDLに基づいて作動されサンプリングクロックCLDU、CLDLのタイミングで各信号電極2に1画素毎、交互に映像信号を順次出力し、左側、右側垂直走査用駆動回路8、9は垂直系クロックであるサンプリングスタートクロックSPSL、SPSRに基づいて作動されサンプリング（取り込み）クロックCLSL、CLSRのタイミングで各走査電極3に1行毎交互に走査電圧を順次出力して1行単位の映像信号を取り込むようになっている。尚、液晶表示パネル1に供給される映像信号は図

17に示すようにその極性が水平同期毎に反転されて液晶表示パネル1を交流駆動するものとする。

【0004】21は垂直同期信号VDを信号処理して（例えば、水平同期信号HDでサンプリングして）得られフィールド毎の区割に用いられる垂直基準信号VD1が入力される垂直同期入力端子、22は水平同期信号HDが入力される水平同期入力端子、23は電圧制御発振器（以下、「VCO」という）24と、分周器25と、位相比較器26とにより構成される位相同期回路（以下、「PLL（PHASE LOCKED LOOP）」という）で、該PLL回路23はVCO24の発振出力周波数 f_{VCO} を $1/N$ の周波数 f_{HPL} に分周した分周器25の分周出力と水平同期信号HDとを位相比較器26で位相比較した後、その位相比較器26から位相差に応じて出力される差信号電圧を制御電圧としてVCO24に供給してその発振出力を制御し、位相差がなくなるまでこの動作を繰り返すことで水平同期信号HDに位相同期したN逓倍の発振出力を得るようにしている。即ち、PLL回路23のロック状態では水平同期信号HDの周波数を f_{HD} とすると、 $f_{HD} = f_{HPL} = f_{VCO} \cdot (1/N)$ となる。27は発振出力と、水平基準信号HPLとしての分周出力と、垂直基準信号VD1に基づいて液晶表示パネル1の駆動に必要な水平系クロック（CLDU、CLDL、SPDU、SPDL）、垂直系クロック（CLSL、CLSR、SPSL、SPSR）、システム系クロック（ADCK、SSCK、HUCK、HLCK）を生成して出力するクロック発生回路で、その水平系クロックは図18に示すようにVCO24の発振出力（同図（c）参照）を水平同期信号HD（同図（a）参照）に位相同期した水平基準信号HPL（同図（b）参照）に基づいたタイミングでカウントダウンして作られ、同図（d）（e）に示す上側、下側のサンプリングクロックCLDU、CLDLは上側、下側水平走査用駆動回路10、11が1画素毎交互に映像信号を出力するように互いに 180° 位相がシフトされており、また同図（f）（g）に示すサンプリングスタートクロックSPDU、SPDLはサンプリングクロックの半クロック分（1画素分）位相がシフトされており、これら各クロックは総て水平同期信号HDに位相同期している。また、垂直系クロックは図19に示すように水平基準信号HPL（同図（b）参照）を垂直基準信号VD1（同図（a）参照）に基づいたタイミングでカウントダウンして作られ、同図（c）（d）に示す左側、右側の取り込みクロックCLSL、CLSRは左側、右側垂直走査用駆動回路8、9が1行毎交互に映像信号を取り込むように互いに 180° 位相がシフトされており、また同図（e）（f）に示すサンプリングスタートパルスSPSL、SPSRは取り込みクロックの半クロック分（1行分）位相がシフトされており、これら各クロックは結果的に総て水平同期信号HDに位相同期してい

る。そして、システム系クロックは図20に示すようになり、同図（a）～（d）は夫々信号処理に用いられるクロックADCK、SSCK、HUCK、HLCKを示し、同様にこれら各クロックは総て水平同期信号HDに位相同期しており、入力映像信号に同期した信号処理が行えることになる。

【0005】12は映像信号（この場合、三原色信号中の赤色信号）が入力される映像入力端子、13は入力された映像信号をシステム系クロックADCKによりサンプリングしてアナログ信号からデジタル信号に変換するA/Dコンバータ、14はA/Dコンバータ13からのデジタル信号をシステム系クロックSSCKに基づいてデジタル信号処理する信号処理回路、15、16は処理された信号を夫々システム系クロックHUCK、HLCKのタイミングで交互にラッチして上側、下側水平走査用駆動回路10、11に夫々供給される上側、下側の映像信号として分割する上側、下側ラッチ回路、17、18はラッチ回路15、16からの信号を夫々システム系クロックHUCK、HLCKのタイミングで元のアナログ信号に変換する上側、下側D/Aコンバータ、19、20は変換されたアナログの映像信号を液晶表示パネル1の駆動に必要なレベルと極性にして上側、下側水平走査用駆動回路10、11に夫々出力する上側、下側駆動回路、28は水平同期信号HDに位相同期した水平基準信号HPLをトグルカウントしてその出力を反転信号として上側、下側水平走査用駆動回路10、11に夫々供給する水平2進カウンタ（トグルフリップフロップ）で、上側、下側駆動回路19、20より出力される映像信号の極性を水平同期で反転させる。

【0006】具体的に、上側、下側駆動回路19、20は図21のような構成で映像信号の極性を水平同期で反転出力するようになっており（ここでは、上側、下側駆動回路19、20とも同構成であるため、上側のみを図示し説明する）、まず、上側D/Aコンバータ17からのアナログに変換された映像信号は、反転増幅器29にて液晶表示パネル1の駆動に必要な信号レベルまでその極性を反転して増幅されると共に、非反転増幅器30にて液晶表示パネル1の駆動に必要な信号レベルまでその極性を反転せずに増幅されて、夫々極性切替回路31の端子a、bに供給されることになる。そして、その極性切替回路31はその端子cが反転信号に基づいて端子a、bに水平同期で交互に接続されて、反転、非反転の映像信号を交互に上側水平走査用駆動回路10に供給することになる。例えば、図22は1フィールドの水平走査線数を現行NTSC放送方式の2倍（525本）にしたNTSC-HDコンバータ方式における上側駆動回路19の動作タイミング（2フィールド期間の1部）を示し、垂直基準信号VD1（同図（a）参照）の立ち上がりが各フィールドのスタートと考えると、水平基準信号HPL（同図（b）参照）をトグルカウントして得た反

5

転信号は同図(c)の様に水平周期で正・負が反転し、反転信号が正の時は極性切換回路31の端子b-c間がONになり、反転信号が負の時は極性切換回路31の端子a-c間がONになり、上側駆動回路19に供給された映像信号(同図(d)参照)は同図(e)の様にその極性が水平周期で交互に反転して出力されることになる。つまり、この場合液晶表示パネル1に供給される映像信号は水平周期及びフィールド毎にも極性反転することになり、液晶表示パネル1は累積加算電圧を零とする交流駆動になる。

【0007】

【発明が解決しようとする課題】ところが、このような従来の液晶表示装置における極性反転構成では、反転信号の生成が常に水平2進カウンタによる水平基準信号HPLのトグルカウント出力にて行われているため、標準信号ではなく非標準の映像信号が入力された場合には、例えば水平走査線数525本の標準の映像信号に対してノイズ等により水平同期信号が欠落した水平走査線数524本の非標準の映像信号が入力された場合には、液晶表示パネルに供給される映像信号の極性が水平周期で反転されてもフィールド毎には反転されなくなり、即ち液晶表示パネルの同一ラインがフィールド単位の時間で見た場合に反転しなくなり、液晶表示パネルに対する交流駆動の原則が守られず、DC成分で駆動したのと同じになり液晶素子にダメージを与える虞れがあった。本発明はこのような点に鑑み成されたものであって、液晶表示パネルに供給される映像信号の極性を、走査方式や標準、非標準信号に拘らず水平周期及びフィールド毎に必ず反転させて、液晶表示パネルを映像信号にて確実に交流駆動することができるようにした液晶表示装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記した目的を達成するため本発明では、液晶表示パネルを映像信号にて交流駆動する液晶表示装置において、液晶表示パネルに供給される映像信号の極性を反転させるための反転信号を複数種類有する反転手段を設けたものである。具体的に、前記反転手段は、液晶表示パネルに供給される映像信号を反転信号に基づいて駆動に必要なレベルまで反転、非反転増幅する駆動回路と、この駆動回路に供給する反転信号を複数種類生成する反転信号発生回路とを含み、前記反転信号発生回路は、映像信号の水平同期信号に位相同期した位相同期回路の分周出力信号(この場合、水平基準信号)をトグルカウントする水平2進カウンタと、映像信号の垂直同期信号から生成され水平同期信号に位相同期した垂直基準信号をトグルカウントする垂直2進カウンタと、この垂直2進カウンタの出力信号と水平2進カウンタの出力信号との排他的論理和をとる排他的OR回路と、水平2進カウンタ或いは排他的OR回路からの出力信号を反転信号として出力する反転切

6

回路とを含んでいるものである。そして、映像信号の1フィールド内での水平走査線数が2フィールドにわたって偶数であるか否かを検知する検知回路を設け、前記反転切換回路から何れの出力信号が反転信号として出力されるかを検知回路で制御するようにしたもので、例えば前記検知回路は、映像信号の1フィールド内での水平基準信号をカウントするカウンタと、このカウンタのフィールド毎の最終カウント値を2フィールドにわたって判定する制御回路とを含んでいるものである。或いは、前記反転切換回路から出力される反転信号の極性が1フィールド或いは2フィールド毎に反転しているか否かを検知する検知回路を設け、前記反転切換回路から何れの出力信号が反転信号として出力されるかを検知回路で制御するようにしたもので、例えば前記検知回路は、反転信号の極性を1フィールド或いは2フィールド毎に検出するための検出パルス信号を生成する検出タイミング発生回路と、検出した反転信号の極性からその反転性を判定する制御回路とを含んでいるものである。

10 は、前記反転切換回路から出力される反転信号の極性が1フィールド或いは2フィールド毎に反転しているか否かを検知する検知回路を設け、前記反転切換回路から何れの出力信号が反転信号として出力されるかを検知回路で制御するようにしたもので、例えば前記検知回路は、反転信号の極性を1フィールド或いは2フィールド毎に検出するための検出パルス信号を生成する検出タイミング発生回路と、検出した反転信号の極性からその反転性を判定する制御回路とを含んでいるものである。

【0009】

20 【作用】このような構成によると、例えばインターレースかノンインターレースかで走査方式の異なるハイビジョン放送方式とNTSC-HDコンバータ方式の両映像信号の表示を液晶表示パネルを用いて行わせる場合、NTSC-HDコンバータ方式の映像信号の標準信号は水平2進カウンタからの出力信号にて常に1フィールド毎に反転され液晶表示パネルに供給されることになり、その非標準信号は排他的OR回路からの出力にて常に2フィールド毎に反転され液晶表示パネルに供給されることになる。また、ハイビジョン放送方式の映像信号は標準並びに非標準とも排他的OR回路からの出力信号にて常に2フィールド或いは1フィールド毎に反転され液晶表示パネルに供給されることになる。

【0010】

【実施例】以下、本発明の一実施例について図面と共に説明する。尚、従来と同一部分については同一符号を付すと共にその説明を省略する。本実施例では、液晶表示パネルに供給される映像信号が、例えばインターレースかノンインターレースかで走査方式の異なるハイビジョン、NTSC-HDコンバータ方式の何れでもまた標準、非標準信号であっても、水平周期並びにフィールド毎に確実に極性反転できるよう、先ず図1に示すように前記した水平2進カウンタ28と、映像信号の垂直基準信号VD1をトグルカウントする垂直2進カウンタ32と、この垂直2進カウンタ32の出力信号VTGRと水平2進カウンタ28の出力信号HTGRとの排他的論理和をとる排他的OR回路33と、水平2進カウンタ28或いは排他的OR回路33からの出力信号HTGR、HVE Xを反転信号として出力する反転切換回路34とから構成される反転信号発生回路35を設けたものである。そして、映像信号の1フィールド内での水

50

水平走査線数が2フィールドにわたって偶数であるか否かを検知する検知回路36を設けて、反転切換回路34から何れの出力信号が反転信号として出力されるかを制御するようにしたものである。

【0011】ここで、37は分周器25より水平基準信号HPLよりも周波数の高い検出基準信号HP2としての分周出力と、垂直基準信号VD1とが入力される検出パルス発生回路で、該検出パルス発生回路37は垂直基準信号VD1の立ち上がり後に最初に入力される検出基準信号HP2を取り出し検出パルス信号DPとして出力するようになっている。38は垂直基準信号VD1と水平基準信号HPL、検出パルス信号DPに基づいて1フィールド内での水平基準信号HPL（水平走査線数）をカウントして出力すると共にそのフィールド毎の最終カウント値を2フィールドにわたってラッチするに必要な第1、第2、第3検出パルス信号DP1、DP2、DP3を生成して出力する検出タイミング発生回路、39はその入力端子に入力される検出タイミング発生回路38からの最終カウント値をクロック端子に入力される第1検出パルス信号DP1のタイミングでラッチする第1ラッチ回路、40はその入力端子に入力される検出タイミング発生回路38からの最終カウント値をクロック端子に入力される第2検出パルス信号DP2のタイミングでラッチする第2ラッチ回路、41は第1、第2ラッチ回路39、40の出力信号の排他的論理和をとる排他的OR回路42の出力をクロック端子に入力される第3検出パルス信号DP3のタイミングでラッチする第3ラッチ回路、43はNTSC-HDコンバータモードとハイビジョンモードを選択するモード切換スイッチで、例えばNTSC-HDコンバータ（水平走査線数が標準信号で525本）モードの場合端子d-f間がONとなってHIGHレベルのモード信号を出力し、またハイビジョンモード（水平走査線数が標準信号で1125本）モードの場合端子e-f間がONとなってLOWレベルのモード信号を出力するようになっている。そして、44は第2、第3ラッチ回路40、41からの出力信号とモード切換スイッチ43からのモード信号に基づいて反転切換回路34を制御する反転制御信号を出力する反転信号制御回路で、NTSC-HDコンバータ方式の映像信号で標準信号の場合にはHIGHレベルの反転制御信号を出力して反転切換回路34の端子a-c間をONとし、NTSC-HDコンバータ方式の映像信号で非標準信号（例えば、水平走査線数が524本）の場合やハイビジョン放送方式の標準、非標準（例えば、水平走査線数が1124本）の映像信号の場合にはLOWレベルの反転制御信号を出力して反転切換回路34の端子b-c間をONとするようになっている（図7参照）。

【0012】具体的に、検出タイミング発生回路38は図2に示すような構成になっており、45は垂直基準信号VD1と水平基準信号HPLとが入力されその垂直基

準信号VD1の立ち上がり後に最初に入力される水平基準信号HPLを取り出してリセットパルスRPとして出力するリセットパルス発生回路、46はリセットパルスRPがリセット端子に入力されまたその入力端子に水平基準信号HPLが入力される10bit同期カウンターで、該10bit同期カウンター46はリセットパルスによるリセット後に次のカウントを開始（カウント値0よりカウントアップ）する、即ち1フィールド内の水平基準信号HPLの数（水平走査線数）をカウントする。

47は10bit同期カウンター46の最下位（LSB）の出力信号（カウント値が偶数の時はLOW、奇数の時はHIGHになる）が入力端子に入力されそれをクロック端子に入力される水平基準信号HPLのタイミングでラッチして1HPL遅延したカウントLSB信号として出力するラッチ回路、48は垂直基準信号VD1をカウントして1フィールドだけズレた3フィールド周期のタイミング信号VR3A、VR3Bを出力する3進同期カウンター、49、50、51は検出パルス発生回路37からの検出パルス信号DPと3進同期カウンター48からのタイミング信号VR3A、VR3Bの夫々の組み合わせでの論理積をとることにより1フィールドずつズレた3フィールド周期の第1、第2、第3検出パルス信号DP1、DP2、DP3を出力する第1、第2、第3AND回路である。

【0013】従って、モード切換スイッチ43の端子d-f間がONになったNTSC-HDコンバータモードにおいて、液晶表示パネル1に供給されるNTSC-HDコンバータ方式の映像信号が標準（水平走査線数が525本）である場合、検出タイミング発生回路38より出力される1フィールド毎の最終カウント値のカウントLSB信号（図3（f）参照）を第1、第2検出パルス信号DP1、DP2（図3（k）（l）参照）により2フィールドにわたってラッチする第1、第2ラッチ回路39、40のラッチ出力は夫々LOWとなり、その排他的論理和をとる排他的OR回路42からの出力信号を第3検出パルス信号DP3（図3（m）参照）によりラッチする第3ラッチ回路41のラッチ出力もLOWとなる。そのため、反転信号制御回路44は先ずモード信号がHIGHで、次に第3、第2ラッチ回路41、40のラッチ出力が夫々LOWであることから（図7参照）、1フィールド内での水平走査線数が2フィールドにわたって奇数（この場合、525本の標準信号）であると判定して、HIGHレベルの反転制御信号と表示用信号とを出力することになる。そのため、表示部52にて標準信号が入力されていることの表示がなされると共に、反転切換回路34の端子a-c間がONとなり、水平周期及び1フィールド毎に反転する水平2進カウンター28の出力信号HTGR（図3（e）参照）が反転信号として用いられ、上側、下側駆動回路19、20に夫々供給されることになる。この時、排他的OR回路33の出力

信号H V E Xはフィールド毎に反転していない。その結果、上側、下側駆動回路19、20はその反転信号の正負に基づいた極性の映像信号を（例えば、図21に示すような反転、非反転増幅器29、30と極性切換回路31との構成を用いて）出力することになるため、液晶表示パネル1は水平周期で極性が反転し、更に1フィールド毎に極性が反転する映像信号にて（即ち、液晶表示パネル1の同一ラインに加わる映像信号の極性が1フィールド毎に反転して）、交流駆動（累積加算電圧が零）されることになる。尚、図3（a）は垂直同期信号VD、同図（b）は水平同期信号HDと実際のラインNOを夫々示し、同図（c）は垂直同期信号VDを水平同期信号HDでサンプリングして得た所定パルス幅の垂直基準信号VD1、同図（d）は垂直基準信号VD1をスタートとした水平基準信号HPLと水平2進カウンタ28でのカウント値を夫々示す。そして、同図（f）はカウンタLSB信号と10bit同期カウンタ46のカウント値を示す。

【0014】次に、液晶表示パネル1に供給されるNTSC-HDコンバータ方式の映像信号が非標準（この場合、水平走査線数が524本）である場合、検出タイミング発生回路38より出力される1フィールド毎の最終カウント値のカウントLSB信号（図4（f）参照）を第1、第2検出パルス信号DP1、DP2（図4（k）（l）参照）により2フィールドにわたってラッチする第1、第2ラッチ回路39、40のラッチ出力は夫々HIGHとなり、その排他的論理和をとる排他的OR回路42からの出力信号を第3検出パルス信号DP3（図4（m）参照）によりラッチする第3ラッチ回路41のラッチ出力はLOWとなる。そのため、反転信号制御回路44は先ずモード信号がHIGHで、次に第3ラッチ回路41のラッチ出力が夫々LOW、第2ラッチ回路40のラッチ出力がHIGHであることから（図7参照）、1フィールド内での水平走査線数が2フィールドにわたって偶数（この場合、524本の非標準信号）であると判定して、LOWレベルの反転制御信号と表示用信号を出力することになる。そのため、表示部52にて非標準信号が入力されていることの表示がなされると共に、反転切換回路34の端子b-c間がONとなり、排他的OR回路33の出力信号H V E X（図4（e）参照）が反転信号として用いられ、上側、下側駆動回路19、20に夫々供給されることになる。この時、水平2進カウンタ28の出力信号HTGR（図4（c）参照）はフィールド毎に反転していない。その結果、上側、下側駆動回路19、20はその反転信号の正負に基づいた極性の映像信号を出力することになるため、液晶表示パネル1は水平周期で極性が反転し、更に1フィールド毎に極性が反転する映像信号にて、交流駆動されることになる。

【0015】そして、モード切換スイッチ43の端子e-f間がONになったハイビジョンモードを選択してい

る場合には、液晶表示パネル1に供給されるハイビジョン放送方式の映像信号が標準（水平走査線数が1125本）であるか非標準（この場合、水平走査線数が1124本）かに拘らず、反転信号制御回路44はモード信号がLOWであることから、第3、第2ラッチ回路41、40のラッチ出力に関係なくLOWレベルの反転制御信号を出力することになる（図7参照）。従って、反転切換回路34の端子b-c間がONとなり、排他的OR回路33の出力信号H V E X（図5（g）、図6（e）参照）が反転信号として用いられ、上側、下側駆動回路19、20に夫々供給されることになる。その結果、上側、下側駆動回路19、20はその反転信号の正負に基づいた極性の映像信号を出力することになるため、液晶表示パネル1は水平周期で極性が反転し、更に標準の場合は2フィールド毎にまた非標準の場合は1フィールド毎に極性が反転する映像信号にて、交流駆動されることになる。尚、表示部52での標準か非標準かの表示は、先ず映像信号が標準である場合、検出タイミング発生回路38より出力される1フィールド毎の最終カウント値のカウントLSB信号（図5（h）参照）を第1、第2検出パルス信号DP1、DP2（図5（m）（n）参照）により2フィールドにわたってラッチする第1、第2ラッチ回路39、40のラッチ出力は夫々HIGH、LOWとなり、その排他的論理和をとる排他的OR回路42からの出力信号を第3検出パルス信号DP3（図5（o）参照）によりラッチする第3ラッチ回路41のラッチ出力はHIGHとなる。そのため、反転信号制御回路44は先ずモード信号がLOWで、次に第3ラッチ回路41のラッチ出力がHIGHであることから（図7参照）、2フィールドでの水平走査線数が奇数（この場合、1125本の標準信号）であると判定して、表示部52に標準信号が入力されていることの表示を指示する表示用信号を出力することになる。次に、映像信号が非標準である場合、検出タイミング発生回路38より出力される1フィールド毎の最終カウント値のカウントLSB信号（図6（f）参照）を第1、第2検出パルス信号DP1、DP2（図6（k）（l）参照）により2フィールドにわたってラッチする第1、第2ラッチ回路39、40のラッチ出力は夫々HIGHとなり、その排他的論理和をとる排他的OR回路42からの出力信号を第3検出パルス信号DP3（図6（m）参照）によりラッチする第3ラッチ回路41のラッチ出力はLOWとなる。そのため、反転信号制御回路44は先ずモード信号がLOWで、次に第3ラッチ回路41のラッチ出力がLOWであることから（図7参照）、2フィールドでの水平走査線数が偶数（この場合、1124本の非標準信号）であると判定して、表示部52に非標準信号が入力されていることの表示を指示する表示用信号を出力することになる。尚、図5（a）は垂直同期信号VD、同図（b）は水平同期信号HDと実際のラインNOを夫々示

し、同図(c)は垂直同期信号VDを水平同期信号HDでサンプリングして得た所定パルス幅の垂直基準信号VD1、同図(d)は水平基準信号HPLと水平2進カウンタ28でのカウント値を夫々示す。そして、同図(h)はカウンタLSB信号と10bit同期カウンタ46のカウント値を示す。

【0016】次に、図8乃至14は他の実施例を示し、前記した反転切換回路34から出力される反転信号の極性が1フィールド或いは2フィールド毎に反転しているか否かを検知する検知回路53を設けて、反転切換回路34から何れの出力信号HTGR或いはVTGRが反転信号として出力されるかを制御するようにしたものである。即ち、検知回路53は図8に示すような構成になっており、54は垂直2進カウンタ32の出力信号VTGRとその反転極性の出力信号/VTGR、垂直基準信号VD1、検出パルス信号DP、モード信号に基づいて反転切換回路34から出力される反転信号を1フィールド或いは2フィールド毎にラッチするに必要な第1、第2、第3検出パルス信号DP1A、DP2A、DP3A或いはDP1B、DP2B、DP3Bを生成して出力する検出タイミング発生回路、55は入力端子に入力される反転切換回路34からの反転信号をクロック端子に入力される第1検出パルス信号DP1A或いはDP1Bのタイミングでラッチする第1ラッチ回路、56は入力端子に入力される反転切換回路34からの反転信号をクロック端子に入力される第2検出パルス信号DP2A或いはDP2Bのタイミングでラッチする第2ラッチ回路、57は第1、第2ラッチ回路55、56のラッチ出力の排他的論理和をとる排他的OR回路58の出力を第3検出パルス信号DP3A或いはDP3Bのタイミングでラッチする第3ラッチ回路、59は第3ラッチ回路57からのラッチ出力とモード信号に基づいて反転切換回路34を切り換える反転制御信号を出力する反転信号制御回路で、NTSC-HDコンバータ方式の映像信号で標準信号の場合にはHIGHレベルの反転制御信号を出力して反転切換回路34の端子a-c間をONとし、NTSC-HDコンバータ放送方式の映像信号で非標準信号の場合にはLOWレベルの反転制御信号を出力して反転切換回路34の端子b-c間をONとするようになっている。

【0017】具体的に、検出タイミング発生回路54は図9に示すような構成になっており、60は垂直2進カウンタ32の出力信号/VTGRをトグルカウントする2進カウンタ、61、62、63、64、65、66は検出パルス発生回路37からの検出パルス信号DPと3進同期カウンタ48からのタイミング信号VR3A、VR3B、垂直2進カウンタ32と2進カウンタ60からの出力信号VTGR、/VTGRとVR4、/VR4の夫々の組み合わせでの論理積をとる第1、第

2、第3、第4、第5、第6AND回路、67、68、69はモード切換スイッチ43からのモード信号に基づいて切り換えられる第1、第2、第3切換回路で、HIGHレベルのモード信号の場合には夫々端子h-i間がONとなって第2、第4、第6AND回路62、64、66からの出力信号を第1、第2、第3検出パルス信号DP1A、DP2A、DP3Aとして出力し、LOWレベルのモード信号の場合には端子g-i間がONとなって第1、第3、第5AND回路61、63、65からの出力信号を第1、第2、第3検出パルス信号DP1B、DP2B、DP3Bとして出力することになる。

【0018】従って、モード切換スイッチ43の端子d-f間がONになってNTSC-HDコンバータモードが選択されると、モード切換スイッチ43からのHIGHレベルのモード信号に基づいて反転信号制御回路59がHIGHレベルの反転制御信号を出力することで、反転切換回路34の端子a-c間がONとなる。そのため、水平2進カウンタ28の出力信号HTGRが反転信号として上側、下側駆動回路19、20に夫々供給されることになる。この時、液晶表示パネル1に供給されるNTSC-HDコンバータ方式の映像信号が標準(水平走査線数が525本)であれば、反転切換回路34より出力される1フィールド毎の反転信号を第1、第2検出パルス信号DP1A、DP2A(図10(h)(i)参照)のタイミングで2フィールドにわたってラッチする第1、第2ラッチ回路55、56のラッチ出力は夫々HIGH、LOW(またはLOW、HIGH)となり、その排他的論理和をとる排他的OR回路58からの出力信号を第3検出パルス信号DP3A(図10(j)参照)のタイミングでラッチする第3ラッチ回路57のラッチ出力はHIGHとなる。そのため、反転信号制御回路59は先ずモード信号がHIGHレベルで、次に第3ラッチ回路57のラッチ出力がHIGHであることから、反転切換回路34からの反転信号(この場合、水平2進カウンタ28の出力信号HTGR(図10(c)参照))の極性が1フィールド毎に反転していると判定して、現在出力されている反転制御信号(HIGHレベル)を維持すると共に表示部52に1フィールド毎に反転駆動されることの表示を指示する表示用信号を出力することになる。その結果、上側、下側駆動回路19、20はその反転信号の正負に基づいた極性の映像信号を出力することになり、液晶表示パネル1は水平周期で極性が反転し、更に1フィールド毎に極性が反転する映像信号にて、交流駆動されることになる。逆に、この時液晶表示パネル1に供給されるNTSC-HDコンバータ方式の映像信号が非標準(この場合、水平走査線数が524本)であれば反転切換回路34より出力される1フィールド毎の反転信号を第1、第2検出パルス信号DP1A、DP2A(図11(j)(k)参照)のタイミングで2フィールドにわたってラッチする第1、第2ラッチ

13

回路 55、56 のラッチ出力は夫々 HIGH となり、その排他的論理和をとる排他的 OR 回路 58 からの出力信号を第 3 検出パルス信号 DP3A (図 11 (1) 参照) のタイミングでラッチする第 3 ラッチ回路 57 のラッチ出力は LOW となる。そのため、反転信号制御回路 59 は先ずモード信号が HIGH で、次に第 3 ラッチ回路 57 のラッチ出力が LOW であることから、反転切換回路 34 からの反転信号 (この場合、水平 2 進カウンタ 28 の出力信号 HTGR (図 11 (c) 参照)) の極性が 1 フィールド毎に反転していないと判定して、LOW レベルの反転制御信号を出力することになる。従って、反転切換回路 34 の端子 b-c 間が ON となって、排他的 OR 回路 33 の出力信号 HVEX (図 11 (e) 参照) が反転信号として上側、下側駆動回路 19、20 に夫々供給されることになり、その状態で第 3 ラッチ回路 57 のラッチ出力が HIGH となることから、反転信号制御回路 59 はこの反転信号の極性が 1 フィールド毎に反転していると判定して、現在出力されている反転制御信号 (LOW レベル) を維持すると共に表示部 52 に 1 フィールド毎に反転駆動されることの表示を指示する表示用信号を出力することになる。その結果、上側、下側駆動回路 19、20 はその反転信号の正負に基づいた極性の映像信号を出力することになるため、液晶表示パネル 1 は水平周期で極性が反転し、更に 1 フィールド毎に極性が反転する映像信号にて、交流駆動されることになる。

【0019】次に、モード切換スイッチ 43 の端子 e-f 間が ON になってハイビジョンモードが選択されると、モード切換スイッチ 43 からの LOW レベルのモード信号に基づいて反転信号制御回路 59 が LOW レベルの反転制御信号を出力することで、反転切換回路 34 の端子 b-c 間が ON となる。そのため、排他的 OR 回路 33 の出力信号 HVEX が反転信号として上側、下側駆動回路 19、20 に夫々供給されることになる。そして、この時液晶表示パネル 1 に供給されるハイビジョン放送方式の映像信号が標準 (水平走査線数 1125 本) であるか非標準 (この場合、水平走査線数が 1124 本) かに拘らず、反転信号制御回路 59 はモード信号が LOW であることから、第 3 ラッチ回路 57 のラッチ出力に関係なく現在出力されている反転制御信号 (LOW レベル) を維持することになる。その結果、上側、下側駆動回路 19、20 はその反転信号 (排他的 OR 回路 33 の出力信号 HVEX (図 12 (e)、図 13 (e) 参照)) の正負に基づいた極性の映像信号を出力することになるため、液晶表示パネル 1 は水平周期で極性が反転し、更に標準の場合は 2 フィールド毎にまた非標準の場合は 1 フィールド毎に極性が反転する映像信号にて、交流駆動されることになる。尚、表示部 52 での表示は、先ず映像信号が標準である場合、反転切換回路 34 より出力される 2 フィールド毎の反転信号を第 1、第 2 検出

14

パルス信号 DP1B、DP2B (図 12 (k) (1) 参照) のタイミングでラッチする第 1、第 2 ラッチ回路 55、56 のラッチ出力は夫々 HIGH、LOW (または LOW、HIGH) となり、その排他的論理和をとる排他的 OR 回路 58 からの出力信号を第 3 検出パルス信号 DP3B (図 12 (m) 参照) のタイミングでラッチする第 3 ラッチ回路 57 のラッチ出力は HIGH となる。そのため、反転信号制御回路 59 は先ずモード信号が LOW レベルで、次に第 3 ラッチ回路 57 のラッチ出力が HIGH であることから、この反転信号の極性が 2 フィールド毎に反転していると判定して、表示部 52 に 2 フィールド毎に反転駆動されることの表示を指示する表示用信号を出力することになる。逆に、映像信号が非標準である場合、反転切換回路 34 より出力される 2 フィールド毎の反転信号を第 1、第 2 検出パルス信号 DP1B、DP2B (図 13 (k) (1) 参照) のタイミングでラッチする第 1、第 2 ラッチ回路 55、56 のラッチ出力は夫々 HIGH (または LOW) となり、その排他的論理和をとる排他的 OR 回路 58 からの出力信号を第 3 検出パルス信号 DP3B (図 13 (m) 参照) のタイミングでラッチする第 3 ラッチ回路 57 のラッチ出力は LOW となる。そのため、反転信号制御回路 59 は先ずモード信号が HIGH レベルで、次に第 3 ラッチ回路 57 のラッチ出力が LOW であることから、この反転信号の極性が 1 フィールド毎に反転していると判定して、表示部 52 に 1 フィールド毎に反転駆動されることの表示を指示する表示用信号を出力することになる。

【0020】以上、本実施例では水平走査線数の偶数、奇数或いは反転信号の極性を検知する動作が水平、垂直基準信号 HPL、VD1 に対し常に同期して周期的に行われるため、入力信号の変化に対して、例えばノイズ等により途中で標準から非標準信号に変化した場合でも自動的に対応させることができる。また、本実施例では水平走査線数が 524 本と 1124 本の非標準信号が入力される場合について述べたが、523 本や 1127 本等のような非標準信号であっても良く、その場合図 1 のように単に奇数か偶数かの判定だけでは標準か非標準かを知ることができないため、別途 10bit 同期カウンタのカウンタ値を取り出して反転信号制御回路で予め記憶しておいた標準の 525 本、1125 本と夫々比較するようにすれば良い。更に、本実施例ではインターレースのハイビジョン放送方式の映像信号とノンインターレースの NTSC-HD コンバータ方式の映像信号との場合について述べたが、例えば NTSC-HD コンバータ方式とインターレースの現行の NTSC 放送方式の映像信号であっても良く、但しその場合水平走査線数が倍違うため、PLL 回路の VCO やクロック発生回路等への配慮が必要となる。また、液晶プロジェクターの場合について述べたが、例えば R、G、B モザイク配列構造になつた色フィルターを配した単一の液晶表示パネルに R、G、B の三原色信号を供給する場合でも同様である。

【0021】

【発明の効果】 上述した如く本発明の液晶表示装置に依れば、液晶表示パネルに供給される映像信号が、インターレース、ノンインターレースの何れの走査方式でもまた標準、非標準信号であっても、その極性を必ず水平周期及びフィールド毎に反転させることができ、液晶表示パネルを映像信号にて確実に交流駆動させることができる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の回路構成例を示す図。

【図2】 その検出タイミング発生回路の具体的構成例を示す図。

【図3】 そのNTSC-HDコンバータ方式の映像信号が標準である場合のタイミングチャート。

【図4】 そのNTSC-HDコンバータ方式の映像信号が非標準である場合のタイミングチャート。

【図5】 そのハイビジョン放送方式の映像信号が標準である場合のタイミングチャート。

【図6】 そのハイビジョン放送方式の映像信号が非標準である場合のタイミングチャート。

【図7】 その反転信号制御回路での判定を説明するための図。

【図8】 本発明の液晶表示装置の他の回路構成例を示す図。

【図9】 その検出タイミング発生回路の具体的構成例を示す図。

【図10】 そのNTSC-HDコンバータ方式の映像信号が標準である場合のタイミングチャート。

【図11】 そのNTSC-HDコンバータ方式の映像信号が非標準である場合のタイミングチャート。

【図12】 そのハイビジョン放送方式の映像信号が標準である場合のタイミングチャート。

【図13】 そのハイビジョン放送方式の映像信号が非標準である場合のタイミングチャート。

【図14】 その反転信号制御回路での判定を説明するための図。

【図15】 従来の液晶表示装置の回路構成例を示す図。

【図16】 その液晶表示パネルの等価回路を示す図。

【図17】 その液晶表示パネルに供給される映像信号の極性を説明するための図。

【図18】 その水平系クロック生成過程を説明するためのタイミングチャート。

【図19】 その垂直系クロック生成過程を説明するためのタイミングチャート。

【図20】 そのシステム系クロック生成過程を説明するためのタイミングチャート。

【図21】 その上側駆動回路の具体的な回路構成例を示す図。

【図22】 その極性反転動作を説明するためのタイミングチャート。

【符号の説明】

- 1 液晶表示パネル
- 28 水平2進カウンタ
- 32 垂直2進カウンタ
- 33 排他的OR回路
- 34 反転切換回路
- 35 反転信号発生回路
- 36 検知回路
- 38 検出タイミング発生回路
- 44 反転信号制御回路
- 53 検知回路
- 54 検出タイミング発生回路
- 59 反転信号制御回路

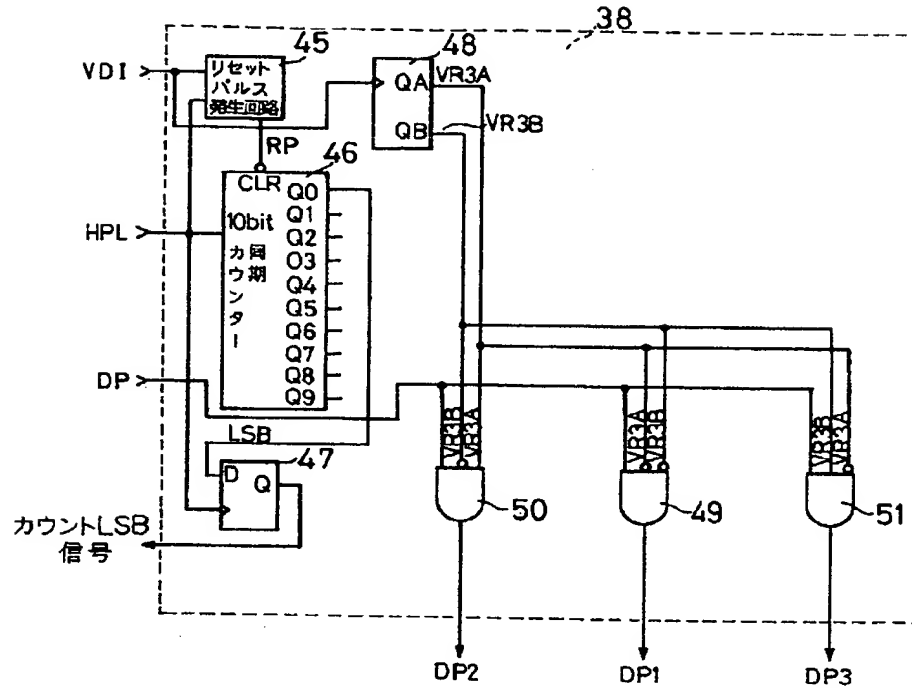
【図7】

| モード | モード信号 | 第3のラッチ出力 | 第2のラッチ出力 | 判定結果 | 反転制御信号 |
|------------------|-------|----------|----------|-------------|--------|
| NTSC-HD コンバータ | HIGH | LOW | LOW | 奇数 (標準) | HIGH |
| | | | HIGH | 偶数 (非標準) | LOW |
| ハイビジョン | LOW | HIGH | —— | 奇数 (標準) | LOW |
| | | LOW | —— | 偶数 (非標準) | |

The timing diagram illustrates the operation of the 523 series VLSI device across five clock cycles. The signals are as follows:

- (a) HPL 523:** High-level pulse, active during the first half of each clock cycle.
- (b) HTGR:** High-level pulse, active during the second half of each clock cycle.
- (c) HVEX:** High-level pulse, active during the first half of each clock cycle.
- (d) DP:** Data input/output signal, active during the first half of each clock cycle.
- (e) DP1:** Data input/output signal, active during the first half of each clock cycle.
- (f) DP2:** Data input/output signal, active during the first half of each clock cycle.
- (g) DP3:** Data input/output signal, active during the first half of each clock cycle.
- (h) VR3A:** High-level pulse, active during the first half of each clock cycle.
- (i) VR3B:** High-level pulse, active during the first half of each clock cycle.
- (j) HP2:** High-level pulse, active during the first half of each clock cycle.

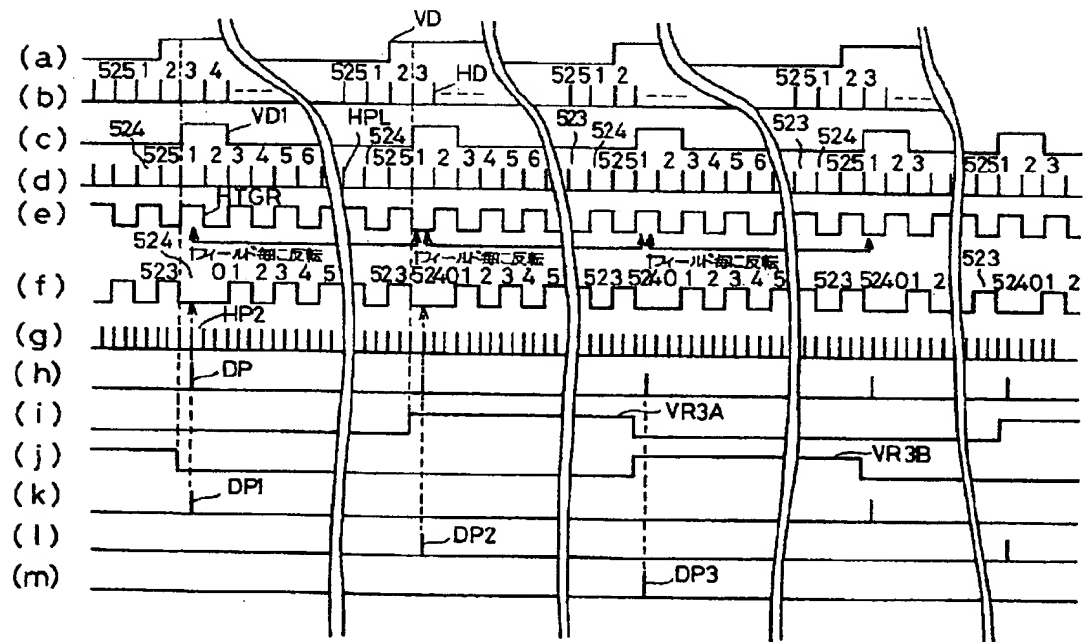
【図2】



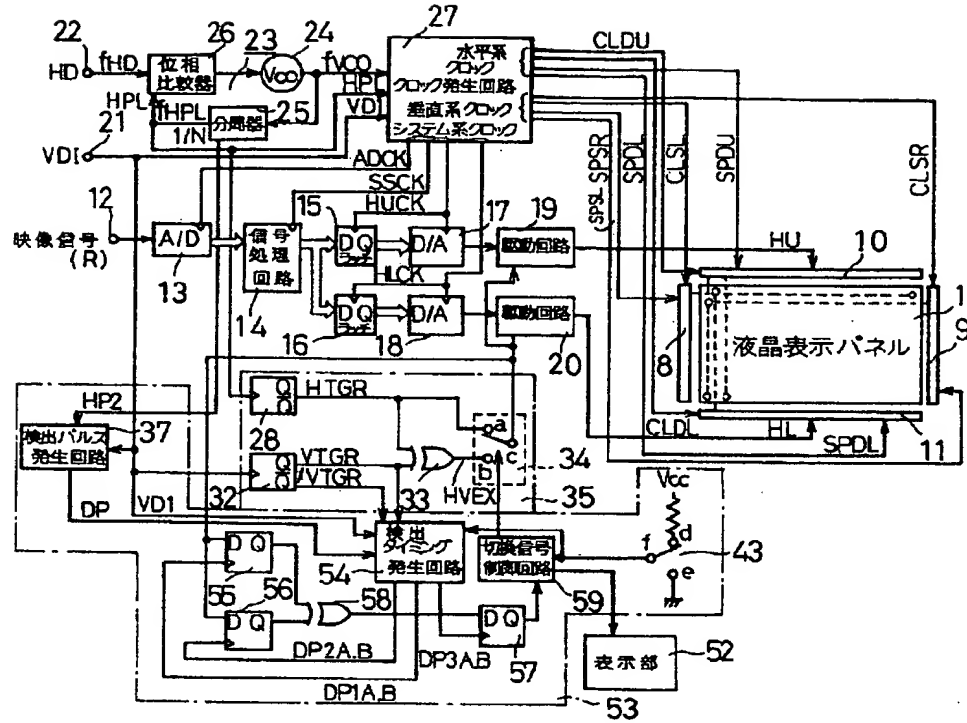
【図20】



【図3】



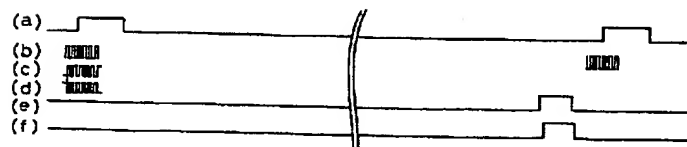
【図8】



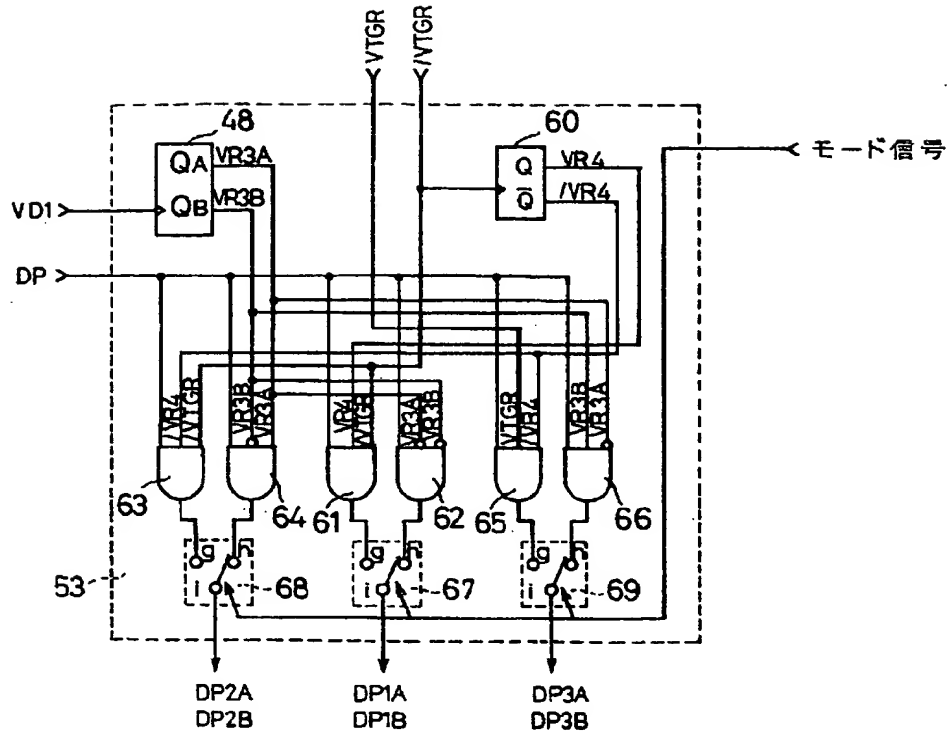
【図14】

| モード | モード信号 | 第3のラッチ出力 | 判定結果 | 反転制御信号 |
|------------------|-------|----------|----------------|--------|
| NTSC-HD コンバータ | HIGH | HIGH | 1フィールド毎に 反転 | 現状維持 |
| | | LOW | フィールド毎に 非反転 | LOW |
| ハイビジョン | LOW | HIGH | 2フィールド毎に 反転 | LOW |
| | | LOW | 1フィールド毎に 反転 | |

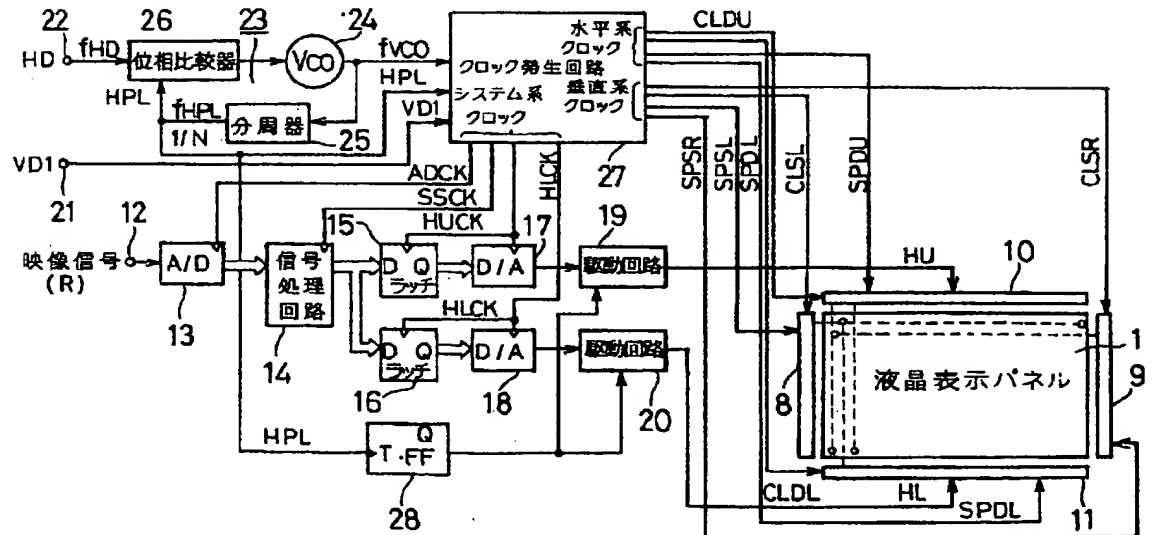
【図19】



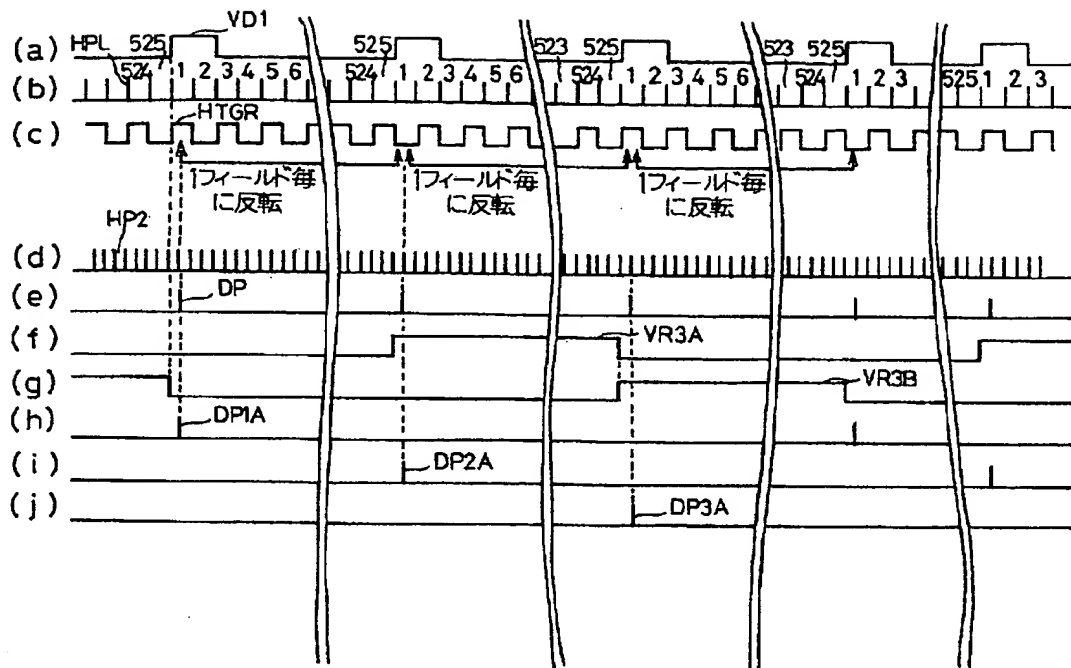
【図9】



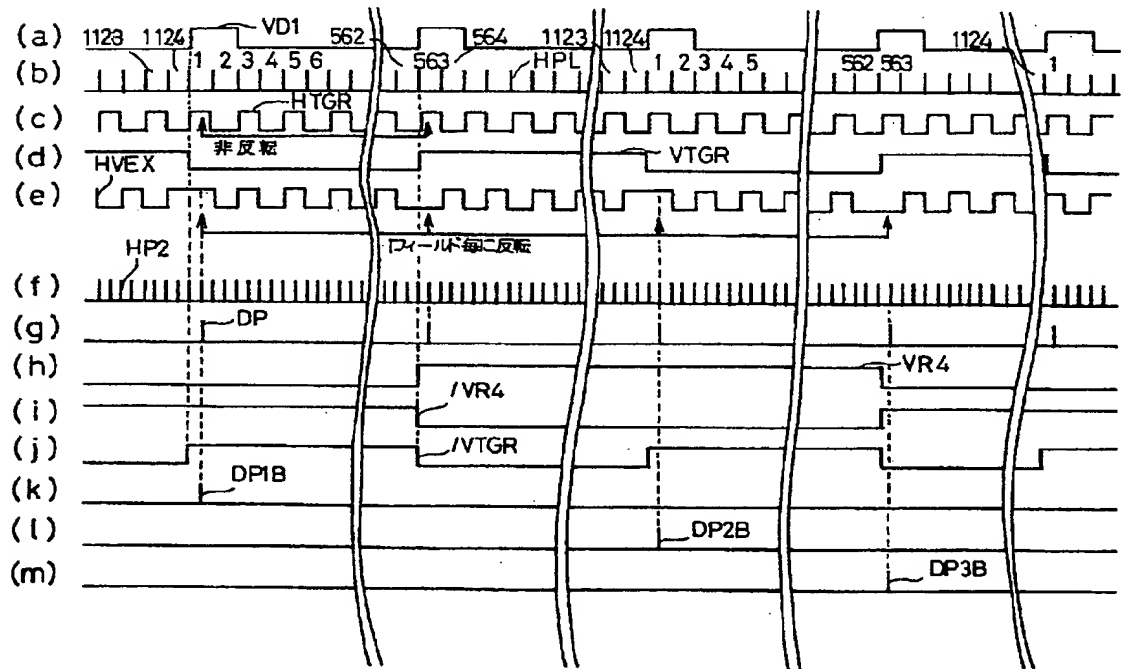
【図15】



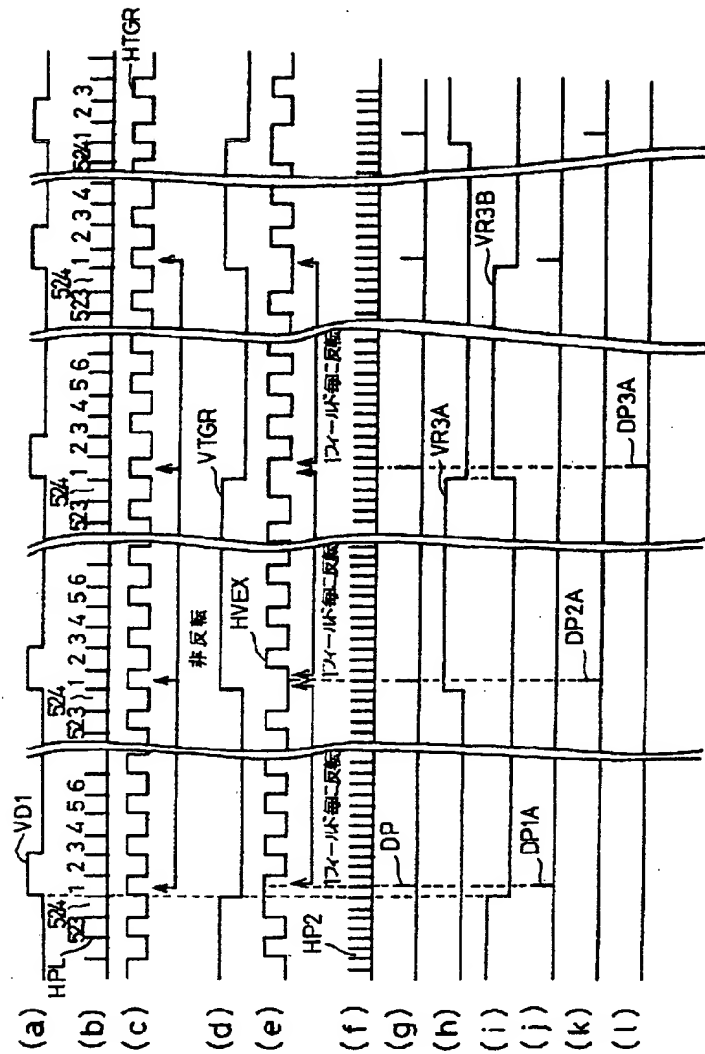
【図10】



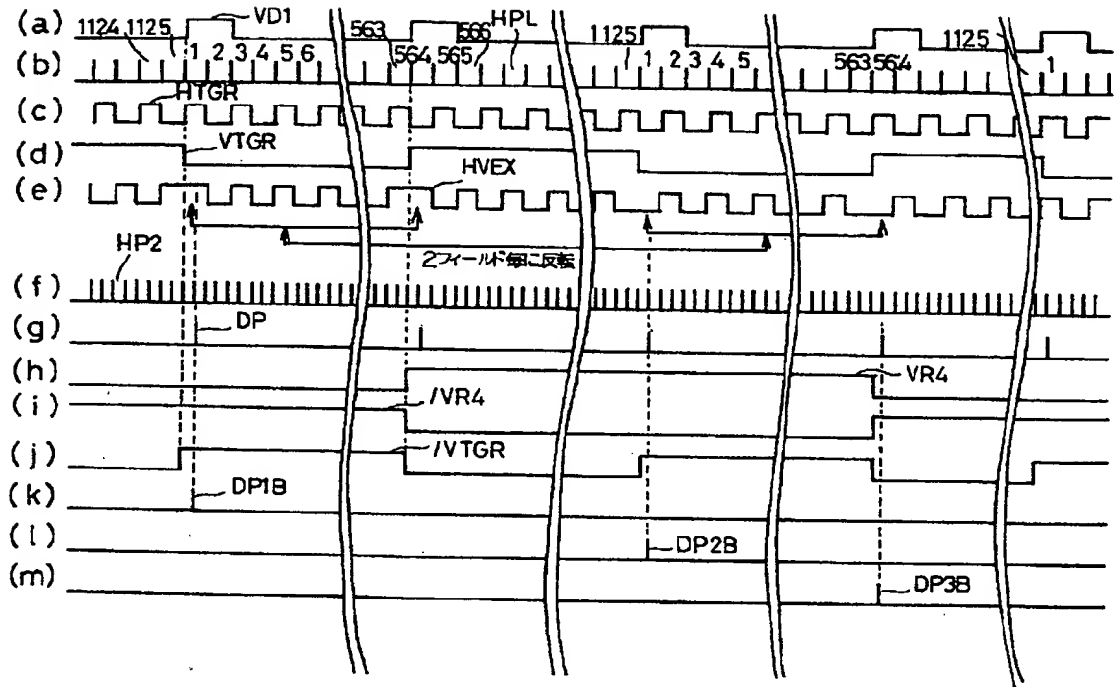
【図13】



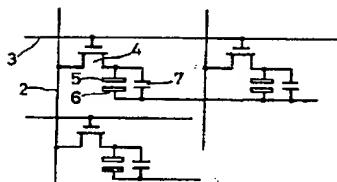
【図11】



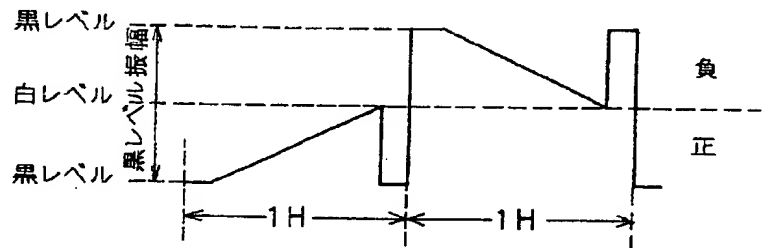
【図12】



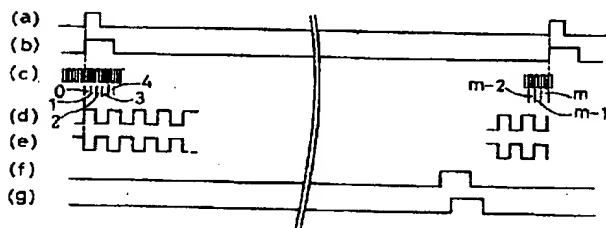
【図16】



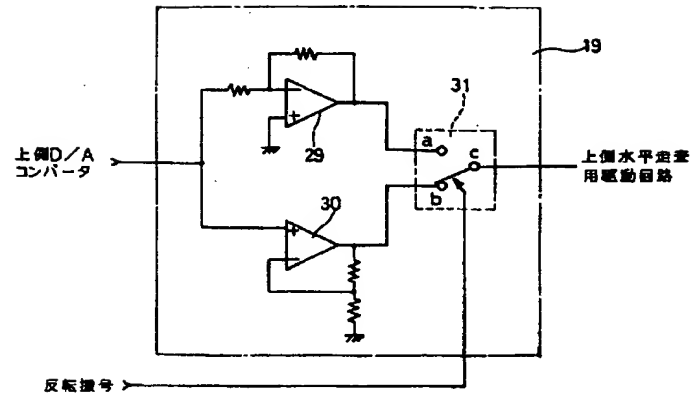
【図17】



【図18】



【図21】



【図22】

